

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-163852
(43)Date of publication of application : 19.06.1998

(51)Int. Cl. H03K 19/0175

(21)Application number : 09-326251 (71)Applicant : LG SEMICON CO LTD
(22)Date of filing : 27.11.1997 (72)Inventor : YOUN-HO KIM

(30)Priority

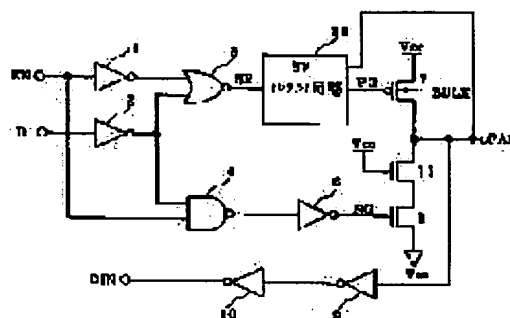
Priority number : 96 9658086 Priority date : 27.11.1996 Priority country : KR

(54) INPUT-OUTPUT CIRCUIT OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a 5V tolerant input-output circuit which effectively copes when high voltage is applied to a low voltage chip, being accompanied with the miniaturization of an MOS device.

SOLUTION: An inverter in a conventional input-output circuit is substituted with a 5V tolerant circuit 20, an output PG of the circuit 20 is inputted to the gate of a PMOS transistor 7, also the substrate of the transistor 7 and a bulk are connected, and an NMOS transistor 11 which is constantly turned on by power voltage Vcc is provided between the transistor 7 and an NMOS transistor.



LEGAL STATUS

[Date of request for examination] 27.11.1997

[Date of sending the examiner's decision of rejection] 15.01.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

[Patent number]	3599542
[Date of registration]	24. 09. 2004
[Number of appeal against examiner's decision of rejection]	2002-06403
[Date of requesting appeal against examiner's decision of rejection]	15. 04. 2002
[Date of extinction of right]	

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-163852

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.⁹

識別記号

F I

H 0 3 K 19/0175

H 0 3 K 19/00

1 0 1 S

1 0 1 F

審査請求 有 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平9-326251

(22) 出願日 平成9年(1997)11月27日

(31) 優先権主張番号 58086/1996

(32) 優先日 1996年11月27日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 596034274

エルジー セミコン カンパニー リミテ
ッド大韓民国、チュンチェオンブクド、チ
ェオンジュ、フンダクグ、ヒヤングジェ
オンドン、1

(72) 発明者 ヨウン-ホ キム

大韓民国、キュンキード、クワアチョン、
ポーリムドン、49

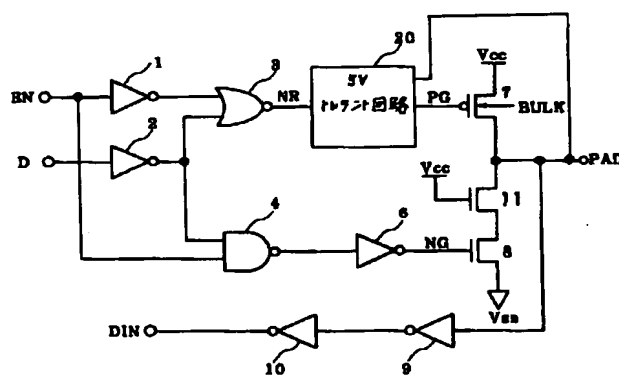
(74) 代理人 弁理士 笹島 富二雄 (外1名)

(54) 【発明の名称】 半導体装置の入出力回路

(57) 【要約】

【課題】 本発明は、MOSデバイスの小型化に従い低電圧用チップに高電圧を印加した時効果的に対処し得る5Vトレラント入出力回路を提供しようとするものである。

【解決手段】 従来入出力回路におけるインバータ5を5Vトレラント回路20で代替し、5Vトレラント回路20の出力PGをPMOSトランジスタ7のゲートに入力させると共に、PMOSトランジスタ7の基板とバルクとを接続して構成し、前記PMOSトランジスタ7とNMOSトランジスタ間に電源電圧Vccにより恒常ターンオンされるNMOSトランジスタが備えられてなっている。



【特許請求の範囲】

【請求項1】電源と接地間にPMOSトランジスタ

(7)とNMOSトランジスタ(8)とを順次接続し、両トランジスタの接続点をパッド端子とし、イネーブル信号(EN)に基づいて出力モードになったとき、データ信号(D)が出力されるように両トランジスタがオン、オフし、入力モードになったとき、パッド端子に入力された信号が出力されるように両トランジスタがオフするように構成された半導体装置の入出力回路において、

前記PMOSトランジスタ(7)のチャンネル領域をバルクに接続し、該トランジスタのゲートに、パッド端子の入力電圧が電源電圧よりも高くなったとき、パッド端子と電源間の電流経路を遮断する5Vトレラント回路

(20)を接続したことを特徴とする半導体装置の入出力回路。

【請求項2】前記トレラント回路(20)は、ソースは電源電圧端子(Vcc)に、ゲートがパッド端子に、ドレイン及び基板はバルクに夫々接続されたPMOSトランジスタ(21)と、

ソースはパッド端子に、ゲートが電源電圧端子に、ドレイン及び基板はバルクに夫々接続されたPMOSトランジスタ(22)と、

ソースはバルクに、ゲートがNORゲート(3)の出力端子に、ドレインは当該回路の出力端子に夫々接続されたPMOSトランジスタ(23)と、

ドレインは当該回路の出力端子に、ゲートが電源電圧端子に接続されたNMOSトランジスタ(24)と、

ドレインはNMOSトランジスタ(24)のソースに、ゲートがNORゲート(3)の出力端子に、ソースは接地端子(Vss)に接続されたNMOSトランジスタ

(25)と、を備えて構成されたことを特徴とする請求項1記載の半導体装置の入出力回路。

【請求項3】前記トレラント回路(20)は、イネーブル信号(EN)とパッド端子の信号を受けてモードを感知するモード感知器(30)と、

ソースは電源電圧端子(Vcc)に、ゲートが該モード感知器(30)の出力端子に、ドレイン及び基板がバルクに夫々接続されたPMOSトランジスタ(26)と、をさらに備え、

前記PMOSトランジスタ(21)がターンオフしてバルクがフローティング状態になるのを阻止するように構成されたことを特徴とする請求項2記載の半導体装置の入出力回路。

【請求項4】前記モード感知器(30)は、パッド端子の信号が一方側端に入力されるNANDゲート(31)と、

イネーブル信号(EN)とNANDゲート(31)の出力信号とを入力して否定論理積演算を行うNANDゲート(32)と、

該NANDゲート(32)の出力信号を反転するインバータ(33)と、

ゲートは電源電圧端子Vccに、ソースがパッド端子に、ドレインが当該モード感知器(30)の出力端子に、基板がバルクに夫々接続されたPMOSトランジスタ(34)と、

ゲートは電源電圧端子(Vcc)に、ドレインが当該モード感知器(30)の出力端子に夫々接続されたNMOSトランジスタ(35)と、

10 ドレインは該NMOSトランジスタ(35)のソースに、ゲートが前記インバータ(33)の出力に、ソースは接地されたNMOSトランジスタ(36)と、を備えて構成されたことを特徴とする請求項3記載の半導体装置の入出力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の入出力(I/O)回路に係るもので、特に、MOSデバイスの小型化に伴い、低電圧用チップに高電圧が印加されたときに効果的に対処し得るトレラント(tolerant)入出力回路の技術に関する。

【0002】

【従来の技術】従来より、半導体装置において、入出力モードに応じてデータ信号D又はパッド端子の信号を選択的に出力する入出力回路が知られている。従来の半導体装置の入出力回路では、図5に示すように、イネーブル信号EN及びデータ信号Dを夫々反転するインバータ1、2と、インバータ1、2の各出力を否定論理和するNORゲート3と、インバータ2の出力とイネーブル信号ENとを否定論理積するNANDゲート4と、NORゲート3、NANDゲート4の各出力を反転して、夫々、PMOSゲート信号PG、NMOSゲート信号NGを出力するインバータ5、6と、電源端子Vccと接地間に直列接続されて、夫々、インバータ5、6から出力されたPMOSゲート信号PG、NMOSゲート信号NGをゲートに受けるPMOSトランジスタ7、NMOSトランジスタ8と、パッド端子PADから出力端子DINまで、順次接続されたインバータ9、10と、を備えて構成されている。

40 【0003】かかる従来の半導体装置の入出力回路は、PMOSトランジスタ7及びNMOSトランジスタ8が、断面図である図6に示すように構成されている。次に、動作を説明する。まず、イネーブル信号ENはNANDゲート4の一方の端子に入力されると共にインバータ1で反転されてNORゲート3の一方の端子に入力される。

【0004】出力モードのときは、イネーブル信号ENはハイレベルとなる。データ信号Dがハイレベルのときは、該データ信号Dは、インバータ2で反転され、夫々、NORゲート3及びNANDゲート4に入力され、

3

NORゲート3、NANDゲート4から、夫々、ハイレベルの信号が出力され、インバータ5、6により反転されてPMOSTランジスタ7のゲート信号PG、NMOSTランジスタ8のゲート信号NGは、夫々、ハイレベルとなる。従って、PMOSTランジスタ7はターンオンし、NMOSTランジスタ8はターンオフしてパッド端子PADには、データ信号Dと同じハイレベルの信号が出力される。

【0005】次に、イネーブル信号ENがハイレベルの状態ではデータ信号Dがローレベルになったときは、NORゲート3及びNANDゲート4の各出力の全てはローレベルとなって、PMOSTランジスタ7のゲート信号PG及びNMOSTランジスタ8のゲート信号NGはハイレベルになる。従って、PMOSTランジスタ7、NMOSTランジスタ8が、夫々、ターンオフ、ターンオンして、パッド端子PADには、データ信号Dと同じローレベルの信号が出力される。

【0006】一方、入力モードのときは、イネーブル信号ENがローレベルとなる。このときは、データ信号Dのレベルに拘わらず、NORゲート3からはローレベルの信号が出力され、NANDゲート4からはハイレベルの信号が出力されて、ゲート信号PG、ゲート信号NGは、夫々、ハイレベル、ローレベルになる。従って、PMOSTランジスタ7及びNMOSTランジスタ8はともにターンオフし、パッド端子PADにハイレベルの信号が入力されたときは、このハイレベルの信号がインバータ9、10を通して出力端子DINに出力され、パッド端子PADにローレベルの信号が入力されたときは、出力端子DINからローレベルの信号が出力される。

【0007】

【発明が解決しようとする課題】然るに、このような従来の半導体装置の入出力回路において、パッド端子PADには、図6に示すように、PMOSTランジスタ7のドレインである P^+ アクティブ領域とNMOSTランジスタ8のドレインである N^+ アクティブ領域とが接続されていて、電源電圧 V_{cc} が、例えば、中間レベルである3.3Vになったとき、PMOSTランジスタ7のソース領域 P^+ と基板になっている $N-Well$ 領域とがともに3.3Vとなる。このとき、パッド端子PADに5Vが印加されると、PMOSTランジスタ7のドレイン領域 P^+ は5Vになり、ドレイン領域 P^+ 、 $N-Well$ 領域にPNダイオードが形成されてPNダイオードは正方向にターンオンする。

【0008】よって、該ターンオンしたPNダイオードにより $N-Well$ 領域は5Vとなり、 N ウェルプラグ(N Well Plug)を通して電源電圧 V_{cc} に接続されて、5Vのパッド端子PADの入力と3.3Vの電源電圧 V_{cc} がショートし、内部MOSTランジスタの誤動作が誘発される。即ち、パッド端子PADの電圧が電源電圧 V_{cc} よりも高くなるときに問題が発生するという不都合

な点があった。

【0009】本発明は、このような従来の課題に鑑みてなされたもので、電源電圧が低下しても出力端子と電源間のショートを防止し得る半導体装置の入出力回路を提供することを目的とする。

【0010】

【課題を解決するための手段】このため、請求項1の発明にかかる半導体装置の入出力回路は、電源と接地間にPMOSTランジスタとNMOSTランジスタとを順次接続し、両トランジスタの接続点をパッド端子とし、イネーブル信号に基づいて出力モードになったとき、データ信号が出力されるように両トランジスタがオン、オフし、入力モードになったとき、パッド端子に入力された信号が出力されるように両トランジスタがオフするように構成された半導体装置の入出力回路において、前記PMOSTランジスタのチャンネル領域をバルクに接続し、該トランジスタのゲートに、パッド端子の入力電圧が電源電圧よりも高くなったとき、パッド端子と電源間の電流経路を遮断する5Vトレラント回路を接続した。

【0011】請求項2の発明にかかる半導体装置の入出力回路では、前記トレラント回路は、ソースは電源電圧端子に、ゲートがパッド端子に、ドレイン及び基板はバルクに夫々接続されたPMOSTランジスタと、ソースはパッド端子に、ゲートが電源電圧端子に、ドレイン及び基板はバルクに夫々接続されたPMOSTランジスタと、ソースはバルクに、ゲートがNORゲートの出力端子に、ドレインは当該回路の出力端子に夫々接続されたPMOSTランジスタと、ドレインは当該回路の出力端子に、ゲートが電源電圧端子に接続されたNMOSTランジスタと、ドレインはNMOSTランジスタのソースに、ゲートがNORゲートの出力端子に、ソースは接地端子に接続されたNMOSTランジスタと、を備えて構成されている。

【0012】請求項3の発明にかかる半導体装置の入出力回路では、前記トレラント回路は、イネーブル信号とパッド端子の信号を受けてモードを感知するモード感知器と、ソースは電源電圧端子に、ゲートが該モード感知器の出力端子に、ドレイン及び基板がバルクに夫々接続されたPMOSTランジスタと、をさらに備え、前記PMOSTランジスタがターンオフしてバルクがフローティング状態になるのを阻止するように構成されている。

【0013】請求項4の発明にかかる半導体装置の入出力回路では、前記モード感知器は、パッド端子の信号が一方側端に入力されるNANDゲートと、イネーブル信号とNANDゲートの出力信号とを入力して否定論理積演算を行うNANDゲートと、該NANDゲートの出力信号を反転するインバータと、ゲートは電源電圧端子 V_{cc} に、ソースがパッド端子に、ドレインが当該モード感知器の出力端子に、基板がバルクに夫々接続されたPMOSTランジスタと、ゲートは電源電圧端子に、ドレ

5

6

インが当該モード感知器の出力端子に夫々接続されたNMOSトランジスタと、ドレインは該NMOSトランジスタのソースに、ゲートが前記インバータの出力に、ソースは接地されたNMOSトランジスタと、を備えて構成されている。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を図1～図4に基づいて説明する。尚、図5と同一要素のものについては同一符号を付して説明は省略する。本実施の形態の入出力回路では、図1に示すように、PMOSTランジスタ7の基板とバルク（図6におけるN-WELL）とが接続され、NORゲート3とPMOSTランジスタ7との間に、従来のインバータの代わりに、パッド端子PADの信号レベルが電源電圧よりも高くなったとき、パッド端子PADと電源電圧Vcc間のショートを防止するための5Vトレラント回路20が接続されている。

【0015】また、PMOSTランジスタ7とNMOSTランジスタ8との間には、NMOSTランジスタ11が接続され、ゲートに電源電圧Vccが印加される。このNMOSTランジスタ11は、緩衝機能を有し、NMOSTランジスタ8に過電圧が印加されてNMOSTランジスタ8が破壊されることを防止している。この5Vトレラント回路20の一例を図2に示す。

【0016】この図に示すように、5Vトレラント回路20は、ソースは電源電圧端子Vccに、ゲートがパッド端子PADに、ドレイン及び基板はバルクに夫々接続されたPMOSTランジスタ21と、ソースはパッド端子PADに、ゲートが電源電圧端子に、ドレイン及び基板はバルクに夫々接続されたPMOSTランジスタ22と、ソースはバルクに、ゲートがNORゲート3の出力端子に、ドレインがPMOSTランジスタ7のゲートに夫々接続されたPMOSTランジスタ23と、ドレインはPMOSTランジスタ7のゲートに、ゲートが電源電圧端子に接続されたNMOSTランジスタ24と、ドレインはNMOSTランジスタ24のソースに、ゲートがNORゲート3の出力端子に、ソースは接地端子Vssに接続されたNMOSTランジスタ25と、を備えて構成されている。

【0017】次に、動作を説明する。まず、出力モードのときは、イネーブル信号ENがハイレベルとなり、このときにデータ信号Dがハイレベル、パッド端子PADの信号がローレベルであるときは、NORゲート3の出力信号NRはハイレベルとなり、このハイレベルの出力信号NRにより5Vトレラント回路20のPMOSTランジスタ23はターンオフし、NMOSTランジスタ25はターンオンして、出力端子を通してローレベルの信号がPMOSTランジスタ7のゲート信号PGとして出力される。

【0018】また、出力モードにおいて、データ信号D

がローレベルであり、NORゲート3の出力信号NRはローレベルとなり、5Vトレラント回路20のPMOSTランジスタ23がターンオンし、PMOSTランジスタ21、23及び出力端子を通してハイレベルの信号がPMOSTランジスタ7のゲート信号PGとして出力される。即ち、5Vトレラント回路20は、このとき、インバータとして動作する。

【0019】一方、出力モードにおいてパッド端子PADの信号が電源電圧Vcc程度にハイレベルであるときは、PMOSTランジスタ21がターンオフしてバルクがフローティング状態となり、PMOSTランジスタ7の基板とパッド端子PAD間には電流が流れない。次に、入力モードのときは、イネーブル信号ENがローレベルになり、このときは、データ信号Dのレベルに拘わらず、NORゲート3からは、ローレベルの出力信号NRが出力されて、5Vトレラント回路20から出力されたゲート信号PGはハイレベルになる。

【0020】このとき、パッド端子PADの入力電圧が電源電圧Vccよりも低いときは、PMOSTランジスタ22はターンオフし、PMOSTランジスタ21はターンオンするが、PMOSTランジスタ23はローレベルのNORゲート3の出力信号NRによりターンオンするため、5Vトレラント回路20から出力されたゲート信号PGは電源電圧Vccと略同じレベルになる。

【0021】そして、PMOSTランジスタ22のしきい電圧をVtpとして、パッド端子PADの入力電圧が電源電圧Vccよりも高い5Vであり、該パッド端子PADの電圧がVcc+Vtpよりも高いときは、PMOSTランジスタ22はターンオンしてバルクにパッド端子PADの電圧が印加されることになる。従って、PMOSTランジスタ23はターンオンの状態であるため、パッド端子PADの電圧と同じ電圧のバルク電圧がゲート信号PGとして5Vトレラント回路20から出力される。

【0022】結局、PMOSTランジスタ7がターンオフし、このとき、PMOSTランジスタ7の基板もバルクに接続されているから、PMOSTランジスタ7の基板とパッド端子PAD間に電流が流れなくなる。次に、図3に5Vトレラント回路の別の構成を示す。この5Vトレラント回路20は、図2に示すPMOSTランジスタ21がターンオフしてバルクがフローティング状態に置かれることを克服するようにしたものであり、図2の構成に加え、イネーブル信号ENとパッド端子PADの信号を受けてモードを感知するモード感知器30と、ソースは電圧Vccの電源に、ゲートが該モード感知器30の出力端子に、ドレイン及び基板がバルクに夫々接続されたPMOSTランジスタ26と、が備えられている。

【0023】また、モード感知器30においては、図4

に示すように、パッド端子PADの信号とNANDゲー

ト32の出力信号とが入力されるNANDゲート31と、イネーブル信号ENとNANDゲート31の出力信号とが入力されるNANDゲート32と、該NANDゲート31、32の出力信号を反転するインバータ33と、ゲートは電圧Vccの電源に、ソースがパッド端子PADに、ドレインがPMOSトランジスタ26のゲートに、基板がバルクに夫々接続されたPMOSトランジスタ34と、ゲートは電圧Vccの電源に、ドレインがPMOSトランジスタ26のゲートに夫々接続されたNMOSトランジスタ35と、ドレインは該NMOSトランジスタ35のソースに、ゲートがインバータ33の出力端子に、ソースは接地されたNMOSトランジスタ36と、を備えて構成されている。

【0024】次に、動作を説明する。イネーブル信号ENがハイレベルの出力モードにおいて、トレラント回路20からローレベルの信号が出力されたとき、PMOSトランジスタ7がターンオンし、ソースに印加された電源電圧Vccによりハイレベルの信号がパッド端子PADに出力され、該ハイレベルの出力信号が5Vトレラント回路20のPMOSトランジスタ21のゲートに印加される。この信号は、電源電圧Vcc程度のハイレベルであり、PMOSトランジスタ21はターンオフしてバルクはフローティング状態になる。また、パッド端子PADの信号が電源電圧Vcc程度になったとき、モード感知器30のPMOSトランジスタ34はターンオフして、NANDゲート31の出力信号はハイレベル、NANDゲート32の出力信号はローレベルとなつて、NMOSトランジスタ36がターンオンし、モード感知器30の出力信号MDはローレベルになる。

【0025】従って、PMOSトランジスタ26がター

ンオンしてバルク電圧が安定化する。

【0026】

【発明の効果】以上説明したように、請求項1の発明にかかる入出力回路によれば、電源電圧よりも高い電圧が印加されたときでも、PMOSトランジスタの基板及びバルクをパッド端子の電圧と同様に維持して電流経路を遮断することにより、MOSトランジスタの誤動作を防止し、出力モードで出力駆動トランジスタの基板を電源電圧により絞って正確な動作を行わせるという効果がある。

【0027】請求項2の発明にかかる入出力回路によれば、電源とパッド端子との間の電流経路を遮断することができる。請求項3の発明にかかる入出力回路によれば、電源とパッド端子との間の電流経路を遮断するとともに、モードを感知してバルクがフローティング状態になることを阻止することができる。

【0028】請求項4の発明にかかる入出力回路によれば、モードを感知することができる。

【図面の簡単な説明】

【図1】本発明に係る第1の実施の形態の回路図。

【図2】図1の5Vトレラント回路の詳細回路図。

【図3】図1の5Vトレラント回路の別の構成を示す回路図。

【図4】図3のモード感知器の詳細回路図。

【図5】従来の入出力回路図。

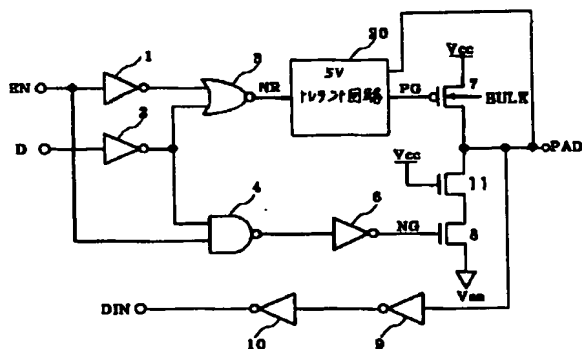
【図6】図5のトランジスタの断面図。

【符号の説明】

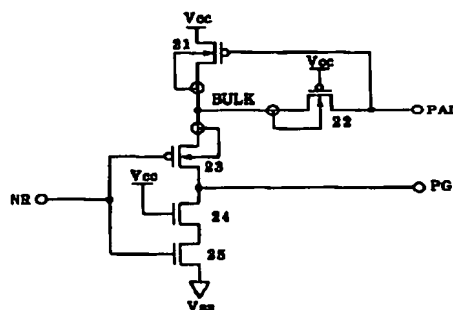
20 5Vトレラント回路

30 モード感知器

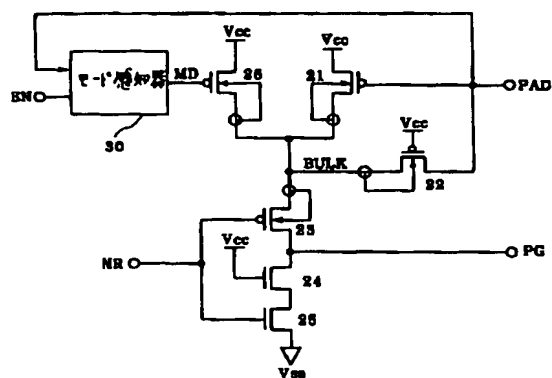
【図1】



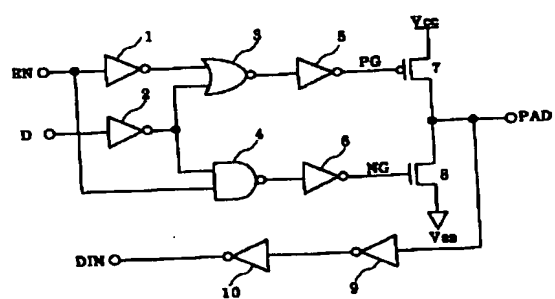
【図2】



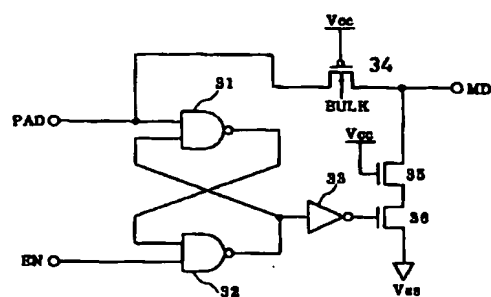
【图 3】



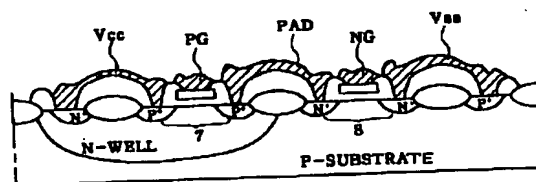
【图 5】



【图 4】



【图 6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.